



PATENT ABSTRACTS OF JAPAN

(11) Publication number **60160173 A**(43) Date of publication of application. **21.08.85**

(51) Int. Cl.

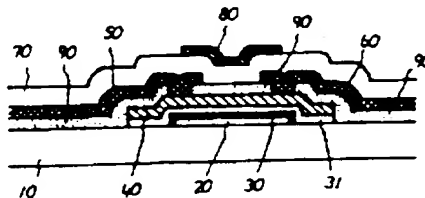
H01L 29/78**H01L 21/28****H01L 27/12**(21) Application number: **59016763**(22) Date of filing: **30.01.84**(71) Applicant: **SHARP CORP**(72) Inventor: **TANAKA HIROHISA
TAKATO YUTAKA
MUKAIDONO MITSUHIRO**(54) **THIN FILM TRANSISTOR**

(57) Abstract:

PURPOSE: To prevent contamination of semiconductor films during manufacturing processes by forming an insulating layer comprising source and drain electrode lead out holes on a boundary of a semiconductor layer and source and drain electrodes.

CONSTITUTION: Patterning is done after forming a Ta film on a glass substrate to form a gate electrode 20. Next, the electrode 20 is anodized to form a gate insulating film 30 of Ta_2O_5 on a surface part of this electrode 20.

Then an Si_3N_4 film 31 and an amorphous Si film 40 are laminated on the film 30 followed by patterning to make a two-layer film structure. This film 40 becomes a semiconductor layer of thin film transistor. Next, an Si_3N_4 film 90 is deposited and is patterned and source and drain electrode lead out holes are opened. Then a source electrode 50 and a drain electrode 60 are formed. In this manufacturing process, the Al film which will become the electrodes 50 and 60 does not comprise an unnecessary contact with the semiconductor layer and the layer 40 is not contaminated by Al. Accordingly, when the Al film is formed, temperature of a substrate 10 can be increased and contact of the layer 40 with the electrodes 50 and 60 becomes good.



100-100-100

Japanese Publication for Unexamined Patent Application
No. 160173/1985 (Tokukaisho 60-160173)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 3, 11, and 29 of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIMS]

A thin film transistor comprising:

an insulating film which is provided between a semiconductor layer and source and drain electrodes which are deposited on the semiconductor layer on a substrate,

wherein the source electrode and the drain electrode are independently in contact with the semiconductor layer via a hole of the insulating layer.

[EMBODIMENTS]

Fig. 7 is a cross section of a TFT structure in accordance with another embodiment of the present invention.

The manufacturing process of the TFT is the same

light shield which is not provided in Fig. 7

In the present embodiment, the spacing between the

source electrode and the gate electrode is made smaller, and the source electrode and gate electrode are used as a light shield, making it possible to omit the step of forming a light shield.

When the TFT of the present embodiment is used as the address element of the matrix-type liquid crystal display device, by the presence of a thick insulating film between the gate electrode and the pixel electrode, it is possible to eliminate by designing the gaps "a" and "b" between the gate electrode and the pixel electrode as shown in Fig. 3, thus increasing the area of pixel electrode and the numerical aperture. Further, by the presence of a thick insulating film where the gate electrode and the source electrode cross each other, the floating capacitance where these electrodes cross can be reduced.

100

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-160173

⑫ Int. Cl.⁴

H 01 L 29/78
21/28
27/12

識別記号

庁内整理番号

8422-5F
7638-5F
8122-5F

⑬ 公開 昭和60年(1985)8月21日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭59-16763

⑯ 出 願 昭59(1984)1月30日

⑰ 発 明 者	田 仲 広 久	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 発 明 者	高 藤 裕	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 発 明 者	向 殷 充 浩	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
⑲ 代 理 人	弁理士 福士 愛彦	外2名	

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 基板上に形成された半導体層に堆積されるソース・ドレイン電極と前記半導体層間に絶縁層を介在させ、該絶縁層の穿設孔を介して前記ソース電極とドレイン電極が独立に前記半導体層と接触していることを特徴とする薄膜トランジスタ

3. 発明の詳細な説明

<技術分野>

本発明は薄膜トランジスタに関するものであり、特にアモルファスシリコン(以下a-Siと称す)又は少なくとも一部が微結晶化したシリコン(以下単に微結晶シリコンと称す)を用いた場合に特性が良好で高い信頼性を得ることができるTFTの構造に関するものである。

<従来技術>

まず、従来の一般的なTFTの構造及びその形

成法について第1図とともに説明する。絶縁基板1上にゲート電極2、ゲート絶縁膜3、半導体層4を順次堆積し、半導体層4上にソース電極5及びドレイン電極6を形成し、さらに保護膜7、光シールド8を順次堆積することによりTFTが作製される。絶縁基板1としては一般的にガラス板、セラミック板、石英板等が用いられる。また、ゲート電極2はAl、Ni、Cr、Au等の金属材料、ゲート絶縁膜3はSiO₂、SiO₂・Al₂O₃・Ta₂O₅、Si₃N₄等の酸化物又は窒化物、半導体層4はCdS、CdSe、Te、PbS、a-Si又は微結晶シリコン等で形成される。ソース電極5及びドレイン電極6としてはAl又はAlとCuの積層膜が用いられる。保護膜7はSiO₂又はSi₃N₄、光シールド8はAl等の金属材料が用いられる。

半導体層4としてa-Siを用いた場合、ソース電極及びドレイン電極材料としては、Alとn⁺a-Siと金属の積層膜を使用することが多い。これらを、ソース及びドレイン電極材料としてa-SiのTFTを作製すると次のような問題が

発生する。

- (1) ソース及びドレイン電極としてAlを用いた場合、Alの付着強度、膜質の安定性の観点から、通常Al蒸着時に基板温度を高くするのであるが、この時a-Si上にAlを蒸着するため、a-Si中にAlが拡散し、ソース及びドレイン電極パターン化後もソース電極とドレイン電極の間のa-Si中にAlが残留し、ソース電極とドレイン電極との短絡あるいはa-Si膜の劣化の原因となる。一方、低温でAlを蒸着すると付着力が弱く、膜質が不安定となる。
- (2) ソース及びドレイン電極として n^+ a-Siと金属の積層膜を用いると、TFTは第2図の様な構造となる。ソース及びドレイン電極の金属膜としてはTi等が用いられる。第2図の様な構造のTFTを形成する際、 n^+ a-Si膜51をパターン化するために、 n^+ a-Si膜51をa-Si半導体層に対して選択的にエッチングする必要がある。ところが、 n^+ a-Si膜とa-Si半導体層はエッチャントである(HF+HNO₃)

の精度を見込んで第3図に平面図で示す如くゲート電極2と線素電極100との間にギャップa及びbを設ける必要がある。このために線素電極100の面積が小さくなり、開口率が低くなってしまふ。

上記問題点の(1)及び(2)を解決するため、第4図に示す様なTFTの構造が提唱され、使用に供されている。即ち、半導体膜パターン化後ソース及びドレイン電極を形成する前にソース及びドレイン電極のギャップに絶縁体膜を形成しパターン化する構造である。しかし、このTFT構造に於いても上記問題点の(3)及び(4)は解決されておらず、良好なTFT特性を得るためには、ゲート電極とソース及びドレイン電極間の浮遊容量を小さくすることが必要である。さらに、マトリックス型液晶表示装置のアドレス用の素子としてTFTを用いた場合画像の明るさ及びコントラストを良くするために開口率を大きくする必要がある。

<発明の目的>

本発明は上述の問題点に鑑み、半導体層とソー

混合溶液あるいはCF₄プラズマに対して全く選択性がない。従って、a-Si半導体層上の n^+ a-Siをエッチングするためには、時間制御により選択エッチングしなければならない。しかし、 n^+ a-Si膜の膜厚、膜質又はエッチング速度のばらつきのためa-SiTFT製作上の再現性が乏しく、従ってTFT特性の安定性、再現性に乏しいのが現状である。このようなことから n^+ a-Si膜を選択的にエッチングする技術を確立することが特性の良好なTFTを製作するために必要である。

- (3) 第1図及び第2図の様な構造のTFTでは、ゲート電極とソース及びドレイン電極との間にかなり大きな容量が存在し、TFTの特性が大きな影響を受ける。
- (4) 第1図及び第2図の様なTFTをマトリックス型液晶表示装置のアドレス用の素子として用いる場合、ゲート電極と線素電極との間の絶縁膜が薄いため、ゲート電極と線素電極が重ならないように、パターンの位置合せやエッチング

ス及びドレイン電極の界面にソース及びドレイン電極引き出し孔を有する絶縁体層を形成することにより、a-Si半導体膜を汚染することなく、 n^+ a-Si膜とa-Si半導体膜との選択エッチングも容易で、さらにゲート電極とソース及びドレイン電極間の浮遊容量も小さくなり、TFTの動作特性及び信頼性も良好となるTFTを提供することを目的とするものである。

<実施例>

第5図は本発明の一実施例を示すTFTの構成断面図である。

ガラス基板10上に蒸着法、スパッタリング等の薄膜生成法でTa膜を層設した後、パターン化処理を介してTa膜の不要部をエッチング除去し、ゲート電極20とする。次にゲート電極20を陽極酸化してその表面部分にTa₂O₅のゲート絶縁膜30を形成する。この上にプラズマCVD法によりSi₃N₄膜31及びa-Si膜40を重ねて積層した後、パターン化し、二層膜構造を製作する。このa-Si膜40がTFTの半導体層となる。

更に、プラズマCVD法により、 Si_3N_4 膜90を増積してパターン化するとともにソース及びドレイン電極引き出し孔を穿設する。次に、 Al 膜を Si_3N_4 膜90上に増積し、ソース電極50及びドレイン電極60にパターン化する。この Al 膜は Si_3N_4 膜90の引き出し孔を介して a-Si 膜40と接触することとなる。プラズマCVD法によりソース電極50、ドレイン電極60及び Si_3N_4 膜90上に Si_3N_4 保護膜70を被覆する。最後に、 Si_3N_4 保護膜70上に Al 膜を増積し、光シールド80にパターン化して、TFTとする。このTFTは a-Si 半導体層40とソースドレイン電極50、60間に Si_3N_4 膜90の絶縁層が介在し、この絶縁層はほぼ全域に形成されている。

上記製造工程に於いて、ソース及びドレイン電極50、60となる Al 膜は Si_3N_4 膜に穿設されたソース及びドレイン電極引き出し孔を介してのみ a-Si 膜40に接しており、半導体層と不必要な接触がなく、ソース電極とドレイン電極との

更にプラズマCVD法により、 Si_3N_4 保護膜70を増積し、最後に Al 膜を増積して光シールド80にパターン化する。

上記製造工程に於いて、 a-Si の n^+ 膜をエッチングする際エッチングされる a-Si の n^+ 膜の直下には Si_3N_4 膜があるため、 a-Si の n^+ 膜の選択エッチングが可能で、 a-Si 半導体膜の膜厚を薄くすることが可能である。

第7図は本発明の他の実施例を示すTFTの構造断面図である。

製造工程は、光シールドの Al 膜がないのを除き、第5図に示すTFTの製造工程と同様である。

本実施例では、ソース電極とドレイン電極の間隔を小さくし、ソース及びドレイン電極を光シールドとして用い、光シールド形成工程を省略することが可能である。

マトリックス型液晶表示装置のアドレス用素子として本発明のTFTを用いた場合、ゲート電極と線素電極との間に厚い絶縁体膜が存在することとなるため、設計上第3図に示したゲート電極と

間の a-Si 半導体層が Al で汚染されることがない。従って Al 膜を蒸着法で形成する際、基板温度を高くすることが可能で、 a-Si 半導体層とソース及びドレイン電極との接触が良好となる。更に、ゲート電極とソース及びドレイン電極間の浮遊容量も絶縁膜が存在することから、小さくなる。

第6図は本発明の他の実施例を示すTFTの構造断面図である。

ガラス基板10上に Ta 膜を形成し、パターン化してゲート電極20とする。ゲート電極20を陽極酸化してその表面部分に Ta_2O_5 のゲート絶縁膜30を形成する。

プラズマCVD法により、 Si_3N_4 膜31及び a-Si 膜40を重ねて積層し、パターン化して二層膜とする。更に、プラズマCVD法により、 Si_3N_4 膜90を増積し、 a-Si 膜40に連する引き出し孔を穿設するとともにパターン化する。プラズマCVD法により a-Si の n^+ 膜、蒸着法により Ti 膜を順次増積し、ソース電極55、50及びドレイン電極65、60にパターン化する。

線素電極とのギャップa及びbをなくすることができ、線素電極の面積が広くなるとともに開口率が大きくなる。また、ゲート電極とソース電極とのクロス部の電極間にも厚い絶縁体膜が存在し、ゲート電極とソース電極間のクロス部の浮遊容量も小さくすることができる。

< 発明の効果 >

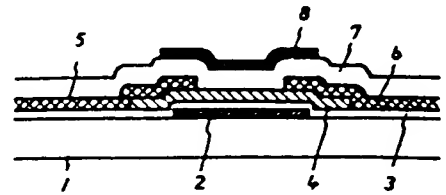
以上詳説した如く、本発明によれば、TFTの半導体層が製造プロセス中にソース・ドレイン電極材料で汚染されたり、オーバーエッチングされることがなく、更に不要なゲート電極とソース及びドレイン電極間の浮遊容量も小さく押えることが可能となる。従って動作特性が良好で信頼性の高いTFTを得ることができる。また、光シールド形成工程を省略することも可能であり、生産性の高い製造技術が確立される。更に、マトリックス型液晶表示装置のアドレス用素子としてTFTを用いた場合も開口率を大きく設定することができる。

4. 図面の簡単な説明

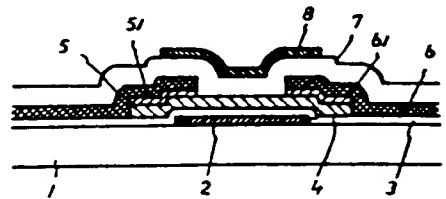
第1図及び第2図は従来のTFTの構造を示す断面図である。第3図は、従来のTFTをマトリクス型液晶表示装置のアドレス用素子として用いた場合の平面図である。第4図は従来の改良されたTFTの構造を示す断面図である。第5図乃至第7図は各々本発明の1実施例を説明するTFTの断面図である。

1, 10 …絶縁基板 2, 20 …ゲート電極
3, 30, 31 …ゲート絶縁膜 4, 40 …半導体膜 5, 50, 51, 55 …ソース電極 6, 60, 61, 65 …ドレイン電極 7, 70 …保護膜 8, 80 …光シールド 9, 90 …絶縁体膜 100 …絵素電極

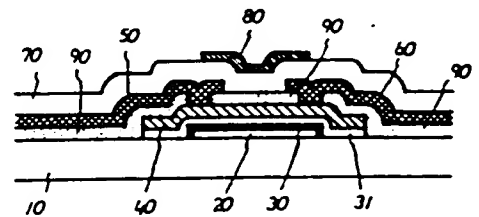
代理人 弁理士 福 士 愛 彦(他2名)



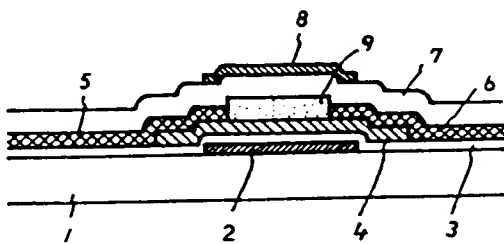
第1図



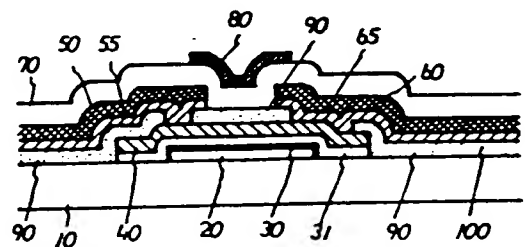
第2図



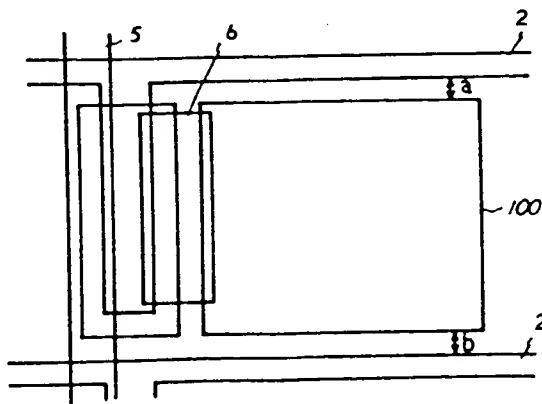
第5図



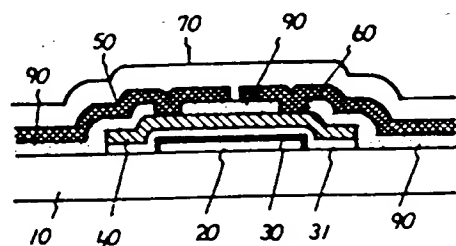
第4図



第6図



第3図



第7図